

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-032240

(43)Date of publication of application : 03.02.1998

(51)Int.Cl.

H01L 21/76  
H01L 21/304

(21)Application number : 08-185790

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 16.07.1996

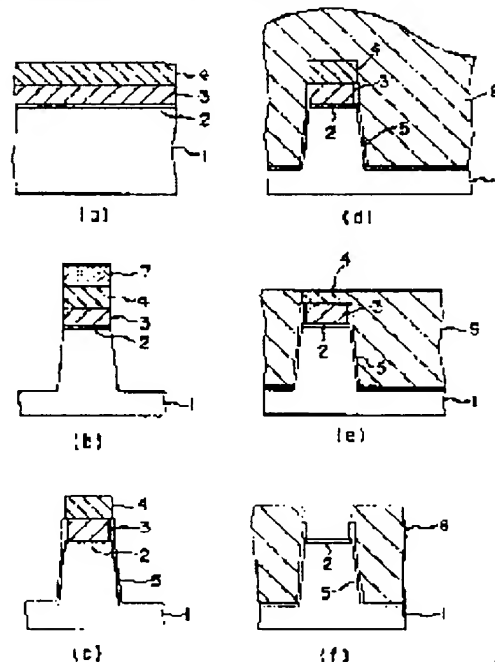
(72)Inventor : KONDO TOSHIYUKI

## (54) SEMICONDUCTOR DEVICE AND MANUFACTURE OF SEMICONDUCTOR DEVICE

## (57)Abstract:

PROBLEM TO BE SOLVED: To make it possible to remove easily a residual gate material and to prevent continuity from being made between gates by a method wherein the end parts of a buried element isolation region are formed into a step shape.

SOLUTION: An oxide film 2, a first stopper 3 and a second stopper 4 are formed on a semiconductor substrate 1. The first and second stoppers are selected by a combination of stoppers of different oxidation rates, stoppers of different isotropic etching rates or the like. Then, the stoppers 3 and 4 and the film 2 are patterned to form a resist 7 and the stopper 4 consisting of a silicon nitride layer, the stopper 3 consisting of a polycrystalline silicon layer, the film 2 and the substrate 1 are subjected to anisotropic etching. After the resist 7 is removed, an oxide film 5 is formed by performing an oxidation in a thickness of several 10nm or thereabouts. At this time, as the stopper 3 is a substance which is easily oxidized, the film 5 is mainly grown and formed in the lateral direction. An SiO<sub>2</sub> film or the like is deposited on the substrate 1 to bury the SiO<sub>2</sub> film in, an insulating film 6 is formed, CMP(chemical-mechanical polishing) is performed to polish the film 6 and these stoppers 3 and 4 are removed from the film 2 by isotropic etching.



## LEGAL STATUS

[Date of request for examination] 20.09.2000

[Date of sending the examiner's decision of rejection] 08.10.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

AL

, [Date of extinction of right]

Copyright (C): 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-32240

(43) 公開日 平成10年(1998) 2月3日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/76			H 0 1 L 21/76	N
21/304	3 2 1		21/304	3 2 1 M

審査請求 未請求 請求項の数13 O L (全 12 頁)

(21) 出願番号 特願平8-185790

(22) 出願日 平成8年(1996) 7月16日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 近 藤 敏 行

神奈川県川崎市幸区小向東芝町1 株式会  
社東芝多摩川工場内

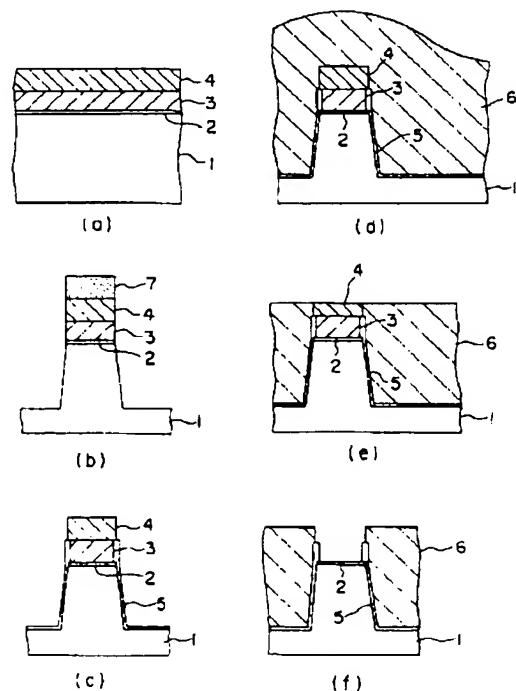
(74) 代理人 弁理士 佐藤 一雄 (外3名)

(54) 【発明の名称】 半導体装置及び半導体装置の製造方法

(57) 【要約】

【課題】 埋め込み素子分離領域の端部をステップ形状とすることにより、残留ゲート材料を除去しやすくし、ゲート間が導通されることを防止する。

【解決手段】 半導体基板上1に、酸化膜2、第1のストッパ3及び第2のストッパ4を形成する(図1(a))。第1及び第2のストッパは、酸化速度の異なるもの、又は、等方性エッチング速度の異なるもの等の組合せにより選択する。つぎに、パターニングしてレジスト7を形成し、窒化シリコン層の第2のストッパ4、多結晶シリコンの第1のストッパ3、酸化膜2及び半導体基板1を、異方性エッチングする(図1(b))。レジスト7を剥離した後、数10nm程度酸化を行うことにより、酸化膜5が形成される(図1(c))。この際、主に、第1のストッパ3は、酸化されやすい物質であるため、横方向に酸化膜5が成長して形成される。SiO<sub>2</sub>等を堆積させて埋め込み、絶縁膜6を形成し(図3(d))、CMPを行い絶縁膜6を研磨し(図3(e))、この第1及び第2のストッパ3、4を等方性エッチングを用いて剥離する(図3(f))。



## 【特許請求の範囲】

【請求項1】素子形成領域及び隣接する前記素子形成領域間に設けられた埋め込み素子分離領域を形成する半導体装置の製造方法において、

半導体基板上に、化学機械研磨の際に用いられ、膜厚が薄い第1のストッパを形成する工程と、

前記第1のストッパの上に、膜厚が薄く、酸化速度又は等方性エッチング速度が前記第1のストッパよりも遅い第2のストッパを形成する工程と、

前記第1のストッパと前記第2のストッパとの酸化速度又は等方性エッチング速度の差により、前記第1のストッパの幅が前記第2のストッパの幅より小さいステップ形状を形成する酸化工程又は等方性エッチング工程と、

前記半導体基板に絶縁膜を堆積する工程と、  
前記第1及び第2のストッパを基準として化学機械研磨した後、前記第1及び第2のストッパを除去することにより、埋め込み素子領域に埋め込み絶縁膜を形成する工程とを備えた半導体装置の製造方法。

【請求項2】半導体基板に、化学機械研磨の際に用いられ、膜厚が薄い第1のストッパを積層する工程と、さらに前記第1のストッパの上に、膜厚が薄く前記第1のストッパより酸化速度が遅い第2のストッパを形成する工程と、

レジストによりパターニングする工程と、  
前記パターニングに基づき、埋め込み素子分離領域について、前記第2のストッパ、前記第1のストッパ、及び前記半導体基板を異方性エッチングする工程と、  
前記第1及び第2のストッパの酸化速度の差により前記第1のストッパの幅が前記第2のストッパの幅より小さくなるように、前記第1のストッパの側面を酸化する工程と、

前記半導体基板上に絶縁膜を堆積する工程と、  
化学機械研磨を行って、前記第1又は第2ストッパが表面に露出されるまで前記絶縁膜を研磨し、埋め込み素子分離領域に埋め込み絶縁膜を形成する工程と、  
前記第1及び第2ストッパを剥離する工程とを備えた半導体装置の製造方法。

【請求項3】半導体基板に、化学機械研磨の際に用いられ、膜厚が薄い第1のストッパを積層する工程と、さらに前記第1のストッパの上に、膜厚が薄く前記第1のストッパより等方性エッチング速度が遅い第2のストッパを形成する工程と、

レジストによりパターニングする工程と、  
前記パターニングに基づき、埋め込み素子分離領域について、前記第2のストッパ、前記第1のストッパ、及び前記半導体基板を異方性エッチングする工程と、  
前記第1及び第2のストッパの等方性エッチング速度の差により前記第1のストッパの幅が前記第2のストッパの幅より小さくなるように、前記第1のストッパを等方性エッチングする工程と、

前記半導体基板上に絶縁膜を堆積する工程と、  
化学機械研磨を行って、前記第1又は第2のストッパが表面に露出されるまで前記絶縁膜を研磨し、埋め込み素子分離領域に埋め込み絶縁膜を形成する工程と、  
前記第1及び第2ストッパを剥離する工程とを備えた半導体装置の製造方法。

【請求項4】半導体基板上に酸化膜を形成する工程と、  
前記酸化膜上に、化学機械研磨の際に用いられ、膜厚が薄い第1のストッパを積層する工程と、  
さらに前記第1のストッパの上に、膜厚が薄く前記第1のストッパより酸化速度が遅い第2のストッパを形成する工程と、

レジストによりパターニングする工程と、  
前記パターニングに基づき、埋め込み素子分離領域について、前記第2のストッパ、前記第1のストッパを異方性エッチングをする工程と、

前記第1及び第2のストッパの酸化速度の差により前記第1のストッパの幅が前記第2のストッパの幅より小さくなるように、前記第1のストッパの側面を酸化する工程と、

前記パターニングに基づき、前記埋め込み素子分離領域について、前記酸化膜及び前記半導体基板を異方性エッチングする工程と、  
前記半導体基板上に絶縁膜を堆積する工程と、  
化学機械研磨を行って、前記第1又は第2のストッパが表面に露出されるまで前記絶縁膜を研磨し、埋め込み素子分離領域に埋め込み絶縁膜を形成する工程と、  
前記第1及び第2のストッパを剥離する工程とを備えた半導体装置の製造方法。

【請求項5】半導体基板上に酸化膜を形成する工程と、  
前記酸化膜上に、化学機械研磨の際に用いられ、膜厚が薄い第1のストッパを積層する工程と、  
さらに前記第1のストッパの上に、膜厚が薄く前記第1のストッパより等方性エッチング速度が遅い第2のストッパを形成する工程と、

レジストによりパターニングする工程と、  
前記パターニングに基づき、埋め込み素子分離領域について、前記第2のストッパを異方性エッチングする工程と、

前記第1及び第2のストッパの等方性エッチング速度の差により前記第1のストッパの幅が前記第2のストッパの幅より小さくなるように、前記第1のストッパを等方性エッチングする工程と、

前記パターニングに基づき、前記埋め込み素子分離領域について、前記酸化膜及び前記半導体基板を異方性エッチングする工程と、

前記半導体基板上に絶縁膜を堆積する工程と、  
化学機械研磨を行って、前記第1又は第2のストッパが表面に露出されるまで前記絶縁膜を研磨し、埋め込み素子分離領域に埋め込み絶縁膜を形成する工程と、

前記第1及び第2のストッパを剥離する工程とを備えた半導体装置の製造方法。

【請求項6】半導体基板上に酸化膜を形成する工程と、前記酸化膜上に、化学機械研磨の際に用いられ、膜厚が薄い第1のストッパを積層する工程と、前記第1のストッパの上に、膜厚が薄く前記第1のストッパより酸化速度が遅い第2のストッパを形成する工程と、前記第2のストッパの上に、第2の酸化膜を形成する工程と、レジストによりパターニングする工程と、前記パターニングに基づき、埋め込み素子分離領域について、前記第2の酸化膜、前記第2のストッパ及び第1のストッパを異方性エッチングする工程と、前記レジストを剥離した後に、前記第2の酸化膜をマスクとして、前記第1及び第2のストッパの酸化速度の差により前記第1のストッパの幅が前記第2のストッパの幅より小さくなるように、前記第1のストッパの側面を酸化する工程と、前記第2の酸化膜をマスクとして、前記パターニングに基づき、前記埋め込み素子分離領域について、前記酸化膜及び前記半導体基板を異方性エッチングする工程と、前記第2の酸化膜を剥離する工程と、前記半導体基板上に絶縁膜を堆積する工程と、化学機械研磨を行って、前記第1又は第2のストッパが表面に露出されるまで前記絶縁膜を研磨し、埋め込み素子分離領域に埋め込み絶縁膜を形成する工程と、前記第1及び第2のストッパを剥離する工程とを備えた半導体装置の製造方法。

【請求項7】半導体基板上に酸化膜を形成する工程と、前記酸化膜上に、化学機械研磨の際に用いられ、膜厚が薄い第1のストッパを積層する工程と、前記第1のストッパの上に、膜厚が薄く前記第1のストッパより等方性エッチング速度が遅い第2のストッパを形成する工程と、前記第2のストッパの上に、第2の酸化膜を形成する工程と、レジストによりパターニングする工程と、前記パターニングに基づき、埋め込み素子分離領域について、前記第2の酸化膜、前記第2のストッパを異方性エッチングする工程と、前記レジストを剥離した後に、前記第2の酸化膜をマスクとして、前記第1及び第2のストッパの等方性エッチング速度の差により前記第1のストッパの幅が前記第2のストッパの幅より小さくなるように、前記第1のストッパの側面を等方性エッチングする工程と、前記第2の酸化膜をマスクとして、前記パターニングに基づき、前記埋め込み素子分離領域について、前記酸化膜及び前記半導体基板を異方性エッチングする工程と、前記第2の酸化膜を剥離する工程と、

前記半導体基板上に絶縁膜を堆積する工程と、化学機械研磨を行って、前記第1又は第2のストッパが表面に露出されるまで前記絶縁膜を研磨し、埋め込み素子分離領域に埋め込み絶縁膜を形成する工程と、前記第1及び第2のストッパを剥離する工程とを備えた半導体装置の製造方法。

【請求項8】前記第1のストッパの材質は多結晶シリコンであり、前記第2のストッパの材質は窒化シリコンであることを特徴とする請求項1乃至7のいずれかに記載の半導体装置の製造方法。

【請求項9】前記第1のストッパに酸化膜を形成する工程の後に、素子形成領域を覆うライナーを形成する工程をさらに備えたことを特徴とする請求項1乃至8のいずれかに記載の半導体装置の製造方法。

【請求項10】前記絶縁膜を形成する工程の後に、埋め込み素子分離領域における前記絶縁膜上に第3のストッパを形成する工程をさらに備えたことを特徴とする請求項1乃至9のいずれかに記載の半導体装置の製造方法。

【請求項11】化学機械研磨により、素子形成領域及び隣接する前記素子形成領域間に設けられた埋め込み素子分離領域を形成された半導体装置において、埋め込み絶縁膜は、

各ステップが、化学機械研磨で削りしろとして必要なストッパの膜厚を複数に分割した厚さを有する低い段差を備え、

複数の前記各ステップにより、前記埋め込み絶縁膜の表面から前記半導体基板の表面に向けて前記素子形成領域の幅が狭くなるようなステップ形状とした埋め込み絶縁膜端部を備えた半導体装置。

【請求項12】前記埋め込み絶縁端部は、化学機械研磨工程で使用するストッパを、膜厚が比較的薄い第1のストッパと、前記第1のストッパより酸化速度又は等方性エッチング速度の遅い第2のストッパとによる積層構造により、化学機械研磨でストッパとして必要とされる所定の削りしろの膜厚とし、前記第1のストッパと前記第2のストッパの酸化速度又は等方性エッチング速度の差によって、前記第1及び第2のストッパをステップ形状とし、前記第1及び第2のストッパを除去することによりステップ形状としたことを特徴とする請求項11に記載の半導体装置。

【請求項13】前記埋め込み絶縁端部は、前記化学機械研磨により浅く研磨された箇所は各ステップが薄い段差を有する2段階ステップ形状であり、一方、前記化学機械研磨により深く研磨された箇所は薄い段差を有する1段階ステップ形状であることを特徴とする請求項11又は12に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及び半

導体装置の製造方法に係るもので、特に、埋め込み素子分離領域を形成する際の化学機械研磨(CMP、chemical mechanical polishing)工程において、2種類以上の材質を積層構造としたストッパ材を用いた半導体装置及び半導体の製造方法に関する。

#### 【0002】

【従来の技術】従来、MOSTランジスタ等の素子分離は、例えば、LOCOS法(Local Oxidation of Silicon法)によりフィールド絶縁膜を形成することにより行われる。これは、デバイス部分に覆われた $\text{Si}_3\text{N}_4$ をマスクとして、熱酸化によって分離拡散とフィールド酸化膜を形成するものである。

【0003】最近では、この他に、埋め込み素子分離による絶縁膜を形成する方法が注目される。この方法によれば、LOCOS法に比べて、例えば、以下のような利点を有する。

- ・素子形成領域(デバイス部分)と素子分離領域(フィールド部分)との段差が少なくフラットになること、
- ・パターニングするとき寸法マージンを大きくとることができ、その結果製造マージンが大きくなるので、半導体プロセス上有利であること、
- ・絶縁膜が深く埋め込まれるのでラッチアップ等が一層防止されること。

【0004】図11に、従来の埋め込み素子分離による半導体装置の製造方法の工程概略図を示す。埋め込み素子分離による半導体装置の製造工程においては、CMP工程が含まれ、研磨する際の基準となるストッパが設けられる。通常、このストッパは、例えば多結晶シリコンや窒化シリコンのような材料により、単層のみの構造に形成したものが用いられている。このような製造方法を、以下に述べる。

【0005】まず、図11(a)に示すように、シリコン等の半導体基板91、酸化膜92を形成する。さらにその上に、CMPの際に利用されるストッパ93を堆積させる。ストッパ93の材料としては、例えば多結晶シリコンや窒化シリコン( $\text{Si}_x\text{N}_y$ )等がある。その後、図11(b)に示すように、光リソグラフィ等の技術を用いて素子分離領域をパターニングし、その後、例えば異方性エッチングによりトレンチを開孔する。図11(c)に示すように、トレンチ内等は、デバイスに応じて酸化を行い酸化膜94を形成する。その後、図11(d)に示すように、例えば $\text{SiO}_2$ のような絶縁膜95を、基板全体に堆積させる。その後、図11(e)に示すように、CMP工程により、エッチバックと平坦化を同時に行う。CMP終了後、図11(f)に示すように、ストッパ93を等方性エッチングにより剥離して、半導体基板が完成される。

#### 【0006】

【発明が解決しようとする課題】従来の方法では、図11(f)に示したように、フィールド端は、段差のある

形状になる。一般に、CMP工程において使用されるストッパは、ある程度の膜厚が必要である(例えば、1000オングストローム程度)。そして、CMPの均一性が悪い場合には、一つのウェーハにおいて場所毎に、即ち、素子形成領域毎に研磨深さが異なることになる。その結果、ある箇所においては深い段差が生じてしまうことがある。

【0007】図11(f)のように形成された半導体基板は、つぎに、ゲート電極を形成する工程が施される。その際、この深い段差が問題となる場合がある。

【0008】図12に、従来のゲート電極を形成する工程概略図を示す。図12(a)には、埋め込み絶縁膜より素子分離された素子形成領域の断面を示す。つぎに、図12(b)に示すように、多結晶シリコン等のゲート材料96を堆積し、パターニングして、RIE(反応性イオンエッチング、Reactive Ion Etching)等により、図中矢印のように一定の深さまで異方性エッチングが行われる。さらに、ほとんどの場合オーバーエッチングが行われるものの、エッチングされる量は、基板にダメージを与えない程度に限られる。そのため、図12(c)に示すように、ゲート材料をエッチングした後においても、素子形成領域における埋め込み絶縁膜95の端部において、深い段差が生じた箇所では、段差の隅に残留ゲート材料97が残ってしまう現象が起こる。

【0009】図13に、残留ゲート材料によるゲート電極間の短絡についての説明図を示す。

【0010】図13に示すように、ゲート電極98、99がパターニングにより形成されるべきものとする。しかし、上述のようにエッチングにより除去されなかった残留ゲート材料97は、パターニングされたゲート電極98及び99の間を導通してしまうことになる。本来ゲート電極98及び99は、分離される必要があり、残留ゲート材料により導通されることは不都合である。

【0011】本発明は、埋め込み素子分離においてCMPを利用した際、素子分離領域端部(フィールド端)の形状を改善することにより、残留ゲート材料を除去しやすくし、ゲート間が導通されることを防止することを目的とする。さらに、フィールド端の形状としては、具体的には、各ステップが浅い2段階のステップ形状又は1段階の浅い形状とすることを目的とする。

【0012】また、埋め込み素子分離においてCMPを利用した際、オーバーエッチング及びデバイス領域の段差等について加工マージンを広げるようにすることを目的とする。

#### 【0013】

【課題を解決するための手段】本発明において、化学機械研磨(CMP)の際に用いられるストッパを、酸化される速度の異なる材料、又は、等方性エッチングのエッチングレートが異なる材料を積層構造とすることにより(例えば、多結晶シリコンと窒化シリコン)、CMPの

ストップパ剥離後のフィールド端の形状を2段のステップ形状とする。

【0014】本発明によると、素子形成領域及び隣接する前記素子形成領域間に設けられた埋め込み素子分離領域を形成する半導体装置の製造方法において、半導体基板上に、化学機械研磨の際に用いられ、膜厚が薄い第1のストップパを形成する工程と、前記第1のストップパの上に、膜厚が薄く、酸化速度又は等方性エッチング速度が前記第1のストップパよりも遅い第2のストップパを形成する工程と、前記第1のストップパと前記第2のストップパとの酸化速度又は等方性エッチング速度の差により、前記第1のストップパの幅が前記第2のストップパの幅より小さいステップ形状を形成する酸化工程又は等方性エッチング工程と、前記半導体基板に絶縁膜を堆積する工程と、前記第1及び第2のストップパを基準として化学機械研磨した後、前記第1及び第2のストップパを除去することにより、埋め込み素子領域に埋め込み絶縁膜を形成する工程とを備えた半導体装置の製造方法を提供する。

【0015】また、本発明によると、化学機械研磨により、素子形成領域及び隣接する前記素子形成領域間に設けられた埋め込み素子分離領域を形成された半導体装置において、埋め込み絶縁膜は、各ステップが、化学機械研磨で削りしろとして必要なストップパの膜厚を複数に分割した厚さを有する低い段差を備え、複数の前記各ステップにより、前記埋め込み絶縁膜の表面から前記半導体基板の表面に向けて前記素子形成領域の幅が狭くなるようなステップ形状とした埋め込み絶縁膜端部を備えた半導体装置を提供するものである。

【0016】

【発明の実施の形態】図1に、本発明の第1の実施の形態に係る半導体装置の製造方法についての工程概略図を示す。図1(a)に示すように、シリコン等の半導体基板上1に、酸化膜2を、例えば10～20nm程度形成する。酸化膜2の上に、多結晶シリコン等を、例えば100～150nm程度堆積させ第1のストップパ3を形成する。さらにこの上に窒化シリコン $\text{Si}_3\text{N}_4$ （以下、 $\text{SiN}$ と省略）等を200～250nm程度堆積させ、第2のストップパ4を形成する。ここで、ストップパとしては、多結晶シリコンの代わりに、アモルファスシリコン等のシリコン系材料を用いることもできる。ここで、第1及び第2のストップパは、酸化速度の異なるもの又は、等方性エッチング速度の異なるもの等の組合せにより、適宜材料を選択することができる。ここでは、一例として、酸化速度の異なる材料を選択した（なお、この材料は等方性エッチング速度も同様に異なる）。また、第1及び第2ストップパの膜厚は、ストップパ加工時のマージンや、CMPの条件から決まってくる。ストップパ材の膜厚は、CMPにより研磨される量のばらつきを考慮して、ある程度の削りしろが必要である。十分な膜厚のストップパを、従来は1種類の材料により形成していたのに

対し、本発明では2種類の材料により形成している。そのため各第1又は第2のストップパの膜厚は、従来に比べて、ほぼ半分程度にすることができる。また、残留ゲート材料が従来のように残留しないように、各ストップパの膜厚は十分に薄い厚さにする必要がある。

【0017】つぎに、光リソグラフィ技術等を用いて素子分離領域をパターンニングして、レジスト7を形成する。その後、図1(b)に示すように、異方性エッチングにより、 $\text{SiN}$ 層の第2ストップパ4、多結晶シリコンの第1ストップパ3、酸化膜2及び半導体基板1を、それぞれ順にエッチングする。レジスト7で覆われていない部分は、エッチングにより除去されずに残り、素子形成領域（デバイス領域）となる。一方、エッチングにより除去された領域は、素子分離領域（フィールド領域）となる。

【0018】次に、図1(c)に示すように、レジスト7を剥離した後、数10nm程度酸化を行うことにより、酸化膜5が形成される。この際、第1のストップパ3については、酸化されやすい物質であるため、横方向に酸化膜5が成長して形成される。一方、第2のストップパ4は、酸化されにくい物質であるため、酸化膜5は形成されない（又は、形成されにくい）。

【0019】つぎに、図1(d)のように、 $\text{SiO}_2$ 等を堆積させて埋め込み、絶縁膜6を形成する。その後、図1(e)のように、CMPを行い絶縁膜6を研磨し、エッチバックと平坦化を行う。CMPは、例えば第1又は第2ストップパが表面に露出されることを基準として行われる。

【0020】つぎに、図1(f)に示すように、CMP終了後、この第1及び第2ストップパ3、4を等方性エッチングを用いて剥離する。このとき、フィールド端の形状は、2段階ステップとなっている。各ステップの厚さは、前述したように、従来のストップパの膜厚のほぼ半分程度に薄くすることができる。

【0021】また、一般に、CMPの均一性が十分でない場合は、一つのウェーハ内でも研磨される深さが異なることがある。そのため、従来では、十分な厚さのストップパを用いていたが、本発明では、ストップパを2段階層構造で構成しているため、場所によっては、図1(e)に示されたようなCMPの工程で、第1のストップパ3まで研磨されることになる。

【0022】図2に、多結晶シリコン等の第1のストップパまで研磨された場合の断面概略図を示す。この場合、図2(e')に示すように、第1のストップパ3のみが残されており、1段のストップパであるが、前述したように、残留ゲート材を考慮して、十分に薄い膜厚である。したがって、図2(f')に示すように、第1のストップパ3が除去されると、フィールド端の段差は、十分に小さいものとなる。

【0023】製造された半導体基板は、次の工程におい

て、多結晶シリコン等のゲート材料を堆積し、パターニングされて、RIE等により異方性エッチング等が行われる。この際、フィールド端における段差は、2段階のステップの箇所では、各ステップの段差が低いので、その隅に残留ゲート材料が残されてしまうことはない。また、1段階のステップの箇所でもステップの段差が低いので、その隅に残留ゲート材料が残されてしまうことはない。したがって、パターニングされたゲート材料間を導通してしまうことは防止され、その後のゲート電極加工において問題が生じない。

【0024】つぎに、図3に、本発明の第2の実施の形態に係る半導体装置の製造方法についての工程概略図を示す。図3(a)に示すように、第1の実施の形態と同様に、シリコン等の半導体基板上1に、酸化膜2を積層する。さらに、多結晶シリコン等を、例えば100~150nm程度堆積させ第1のストップ3を形成し、この上にSiN等を200~250nm程度堆積させ第2のストップ4を形成する。第1及び第2のストップは、ここでは、一例として、等方性エッチング速度の異なる材料を選択した。第1及び第2のストップ3、4の膜厚等の条件は、第1の実施の形態と同様である。

【0025】つぎに、光リソグラフィ技術等を用いて素子分離領域をパターニングして、レジスト7を形成する。その後、図3(b)に示すように、異方性エッチングにより、SiN層の第2ストップ4、多結晶シリコンの第1ストップ3、酸化膜2及び半導体基板1を、それぞれ順にエッチングする。レジスト7で覆われていない部分は、エッチングにより除去されずに残り、素子形成領域(デバイス領域)となる。一方、エッチングにより除去された領域は、素子分離領域(フィールド領域)となる。

【0026】つぎに、図3(c)に示すように、等方性エッチングにより多結晶シリコンの第1ストップ3を、例えば数10nm程エッチングする。等方性エッチングの際は、第1のストップ3は、エッチングされやすい物質であるため、横方向にエッチングが進行するものの、第2のストップ4はエッチングされにくい物質であるため、エッチングされない(又は、エッチングされにくい)。なお、エッチングの際は、エッチング条件を変えることにより、結果的に2段階ステップ形状を形成することができる。

【0027】以後、第1の実施の形態と同様の工程が行われる。すなわち、図3(d)のように、SiO<sub>2</sub>等を堆積させて埋め込み、絶縁膜6を形成する。その後、図3(e)のように、CMPを行い絶縁膜6を研磨し、エッチバックと平坦化を行う。図では、CMPが、例えば第2ストップが表面に露出されたことを基準として行われたものである。つぎに、図3(e)に示すように、CMP終了後、この第1及び第2ストップ3、4を等方性エッチングを用いて剥離する。

【0028】このとき、フィールド端の形状は、2段階ステップとなっている。各ステップの厚さは、前述したように、従来のストップの膜厚のほぼ半分程度に薄くすることができる。また、第1の実施の形態と同様に、場所によっては、図3(e)に示されたようなCMPの工程で、第1のストップ3まで研磨されることになる。

【0029】図4に、本発明の第3の実施の形態に係る半導体装置の製造方法についての工程概略図を示す。この実施の形態は、埋め込み素子分離領域について、ストップ以上の層とそれより下の層の2層に分けてエッチングする方法である。また、ここでは、第1及び第2のストップの等方性エッチング速度の差を利用してフィールド端部のステップ状構造を形成する。図4(a)に示すように、シリコン等の半導体基板上1に、酸化膜2を、例えば10~20nm程度形成する。酸化膜2の上に、多結晶シリコン等を、例えば100~150nm程度堆積させ第1のストップ3を形成する。さらにこの上にSiN等を200~250nm程度堆積させ、第2のストップ4を形成する。第1及び第2のストップは、酸化速度の異なるもの、又は、等方性エッチング速度の異なるもの等の組合せにより、適宜材料を選択することができる。ここでは、一例として、等方性エッチング速度の異なる材料を選択した。第1及び第2のストップ3、4の膜厚等の条件は、第1の実施の形態と同様である。

【0030】つぎに、光リソグラフィ技術等を用いて素子分離領域をパターニングして、レジスト7を形成する。その後、図4(b)に示すように、異方性エッチングにより、SiN層の第2のストップ4、多結晶シリコンの第1のストップ3を、それぞれ順にエッチングする。ここで、酸化膜2及び半導体基板1はエッチングされないようにする。レジスト7で覆われていない部分は、エッチングにより除去されずに残り、デバイス領域となる。一方、エッチングにより除去された領域は、素子分離領域(フィールド領域)となる。

【0031】つぎに、図4(c)に示すように、等方性エッチングにより多結晶シリコンの第1ストップ3を、例えば数10nm程エッチングする。等方性エッチングの際は、第1のストップ3は、エッチングされやすい物質であるため、横方向にエッチングが進行するものの、第2のストップ4はエッチングされにくい物質であるため、エッチングされない(又は、エッチングされにくい)。なお、エッチングの際は、エッチング条件を変えることにより、結果的に2段階ステップ形状を形成することができる。

【0032】その後、図4(d)に示すように、異方性エッチングにより、酸化膜2及び半導体基板1をそれぞれエッチングし、レジスト7を剥離する。

【0033】つぎに、第1の実施の形態と同様の工程が行われる。すなわち、図4(e)のように、SiO<sub>2</sub>等を堆積させて埋め込み、絶縁膜6を形成する。その後、



図4(f)のように、CMPを行い絶縁膜6を研磨し、エッチバックと平坦化を行う。図では、CMPが、例えば第2ストップパが表面に露出されたことを基準として行われたものである。つぎに、図4(g)に示すように、CMP終了後、この第1及び第2ストップパ3、4を等方性エッチングを用いて剥離する。

【0034】このとき、フィールド端の形状は、2段階ステップとなっている。各ステップの厚さは、前述したように、従来のストップパの膜厚のほぼ半分程度に薄くすることができる。また、第1の実施の形態と同様に、場所によっては、図4(f)に示されたようなCMPの工程で、第1のストップパ3まで研磨されることになる。

【0035】図4(d)のようにレジスト7を剥離した後、例えば数10nm程度の酸化をさらに行う場合がある。図5に、酸化を行った場合の工程概略図を示す。この場合図5(d')に示すように、酸化膜5が第1ストップパ3上に形成される。第2ストップパ4に酸化膜が形成されないのは、一例として酸化されにくい材料を選択したためである。以下は、図4と同様に、図5(e')に示す酸化膜6の堆積工程、図5(f')に示すCMP工程、及び図5(g')に示す第1及び第2ストップパ3、4の除去工程を経て半導体基板が形成される。

【0036】図6に、本発明の第4の実施の形態に係る半導体装置の製造方法についての工程概略図を示す。この実施の形態は、埋め込み素子分離領域について、ストップパ以上の層とそれより下の層の2層に分けてエッチングする方法である。また、ここでは、第1及び第2のストップパの酸化速度の差を利用してフィールド端部のステップ状構造を形成する。図6(a)に示すように、第3の実施の形態と同様に、シリコン等の半導体基板上1に、酸化膜2を形成し、その上に、多結晶シリコン等を、例えば100～150nm程度堆積させ第1のストップパ3を形成する。さらにこの上にSiN等を200～250nm程度堆積させ、第2のストップパ4を形成する。ここで、第1及び第2のストップパは、一例として、酸化速度の異なる材料を選択した。第1及び第2のストップパ3、4の膜厚等の条件は、第1の実施の形態と同様である。

【0037】つぎに、図6(b)に示すように、光リソグラフィ技術等を用いて素子分離領域をパターンングして、レジスト7を形成し、その後、異方性エッチングにより、第2ストップパ4、第1のストップパ3をエッチングする。

【0038】この後、図6(c)に示すように、数10nm程度酸化を行うことにより、酸化膜9が形成される。この際、第1のストップパ3については、酸化されやすい物質であるため、横方向に酸化膜9が成長して形成される。一方、第2のストップパ4は、酸化されにくい物質であり、レジスト7で覆われているため、酸化膜9は形成されない(又は、形成されにくい)。

【0039】その後、図6(d)に示すように、レジスト7をマスクとして、異方性エッチングにより、酸化膜2及び半導体基板1をそれぞれエッチングして、その後、レジスト7を剥離する。

【0040】以下は、第3の実施の形態と同様の工程が行われる。すなわち、図6(e)のように、SiO<sub>2</sub>等を堆積させて埋め込み、絶縁膜6を形成する。その後、図6(f)のように、CMPを行い絶縁膜6を研磨し、エッチバックと平坦化を行う。図では、CMPが、例えば第2ストップパが表面に露出されたことを基準として行われたものである。つぎに、図6(g)に示すように、CMP終了後、この第1及び第2ストップパ3、4を等方性エッチングを用いて剥離する。

【0041】このとき、フィールド端の形状は、2段階ステップとなっている。各ステップの厚さは、前述したように、従来のストップパの膜厚のほぼ半分程度に薄くすることができる。また、第1の実施の形態と同様に、場所によっては、図6(f)に示されたようなCMPの工程で、第1のストップパ3まで研磨されることになる。

【0042】つぎに、図7に、本発明の第5の実施の形態に係る半導体装置の製造方法についての工程概略図を示す。この実施の形態は、第2のストップパのさらに上に酸化膜層を形成し、これをマスクとして用いる方法である。図7(a)に示すように、シリコン等の半導体基板上1に、酸化膜2を、例えば10～20nm程度形成する。酸化膜2の上に、多結晶シリコン等を、例えば100～150nm程度堆積させ第1のストップパ3を形成する。さらにこの上にSiN等を200～250nm程度堆積させ、第2のストップパ4を形成する。第1及び第2のストップパは、酸化速度の異なるもの、又は、等方性エッチング速度の異なるもの等の組合せにより、適宜材料を選択することができる。ここでは、一例として、等方性エッチング速度の異なる材料を選択した。第1及び第2のストップパ3、4の膜厚等の条件は、第1の実施の形態と同様である。第3の実施の形態では、さらにその上に、酸化膜8を、例えば300～400nm程度堆積させる。つぎに、図7(b)に示すように、光リソグラフィ技術等を用いて素子分離領域をパターンングして、レジスト7を形成し、その後、異方性エッチングにより、酸化膜8及びSiN層の第2ストップパ4をエッチングする。

【0043】つぎに、図7(c)に示すように、レジスト7を剥離し、酸化膜8をマスクとして、等方性エッチングを行う。この工程によって、多結晶シリコンの第1ストップパ3を、例えば数10nm程度エッチングする。等方性エッチングの際は、第1のストップパ3は、エッチングされやすい物質であるため、横方向にエッチングが進行するものの、第2のストップパ4はエッチングされにくい物質であり、また、酸化膜8で覆われているため、エッチングされない(又は、エッチングされにくい)。そ

の後、図7(d)に示すように、酸化膜8をマスクとして、異方性エッチングにより、半導体基板1をそれぞれエッチングして、その後、酸化膜8を剥離する。

【0044】つぎに、第1又は第2の実施の形態と同様の工程が行われる。すなわち、図7(e)のように、 $\text{SiO}_2$ 等を堆積させて埋め込み、絶縁膜6を形成する。その後、図7(f)のように、CMPを行い絶縁膜6を研磨し、エッチバックと平坦化を行う。図では、CMPが、例えば第2ストップパが表面に露出されたことを基準として行われたものである。つぎに、図7(g)に示すように、CMP終了後、この第1及び第2ストップパ3、4を等方性エッチングを用いて剥離する。

【0045】このとき、フィールド端の形状は、2段階ステップとなっている。各ステップの厚さは、前述したように、従来のストップパの膜厚のほぼ半分程度に薄くすることができる。また、第1の実施の形態と同様に、場所によっては、図7(f)に示されたようなCMPの工程で、第1のストップパ3まで研磨されることになる。

【0046】図8に、本発明の第6の実施の形態に係る半導体装置の製造方法についての工程概略図を示す。図8(a)に示すように、第3の実施の形態と同様に、シリコン等の半導体基板1上に、酸化膜2を形成し、その上に、多結晶シリコン等を、例えば100~150nm程度堆積させ第1のストップパ3を形成する。さらにこの上に $\text{SiN}$ 等を200~250nm程度堆積させ、第2のストップパ4を形成する。さらにその上に、酸化膜8を、例えば300~400nm程度堆積させる。ここで、第1及び第2のストップパは、一例として、酸化速度の異なる材料を選択した。第1及び第2のストップパ3、4の膜厚等の条件は、第1の実施の形態と同様である。つぎに、図8(b)に示すように、光リソグラフィ技術等を用いて素子分離領域をパターンニングして、レジスト7を形成し、その後、異方性エッチングにより、酸化膜8及び $\text{SiN}$ 層の第2のストップパ4をエッチングする。

【0047】つぎに、図8(c)に示すように、レジスト7を剥離し、酸化膜8をマスクとして、第1のストップパ3について異方性エッチングを行う。

【0048】この後、図8(d)に示すように、数10nm程度酸化を行うことにより、酸化膜9が形成される。この際、第1のストップパ3については、酸化されやすい物質であるため、横方向に酸化膜9が成長して形成される。一方、第2のストップパ4は、酸化されにくい物質であり、酸化膜8で覆われているため、酸化膜9は形成されない(又は、形成されにくい)。

【0049】その後、図8(e)に示すように、酸化膜8をマスクとして、異方性エッチングにより、半導体基板1をそれぞれエッチングして、その後、酸化膜8を剥離する。

【0050】以下は、第5の実施の形態と同様の工程が行われる。すなわち、図8(f)のように、 $\text{SiO}_2$ 等

を堆積させて埋め込み、絶縁膜6を形成する。その後、図8(g)のように、CMPを行い絶縁膜6を研磨し、エッチバックと平坦化を行う。図では、CMPが、例えば第2ストップパが表面に露出されたことを基準として行われたものである。つぎに、図8(h)に示すように、CMP終了後、この第1及び第2ストップパ3、4を等方性エッチングを用いて剥離する。

【0051】このとき、フィールド端の形状は、2段階ステップとなっている。各ステップの厚さは、前述したように、従来のストップパの膜厚のほぼ半分程度に薄くすることができる。また、第1の実施の形態と同様に、場所によっては、図8(g)に示されたようなCMPの工程で、第1のストップパ3まで研磨されることになる。

【0052】なお、第1の実施の形態において、図1(c)の工程の後に、さらに、 $\text{SiN}$ 等のライナーを敷く場合もある。図9に、第1の実施の形態においてライナーを備えた構成図を示す。この場合、図9(c')に示すように、ライナー10が備えられる。その後、上述したような工程を経て、図9(f')のような2段階のフィールド端が形成される。なお、ここで(c')及び(f')は、図1における(c)及び(f)にそれぞれ相当する。このようにライナーを形成することは、上述の第2乃至第6の実施の形態にも適用することができる。

【0053】また、第1の実施の形態において、図1(d)の工程の後に、デバイスによっては、絶縁膜6の上に更にCMPのストップパを形成することがある。図10に、第3のストップパを絶縁膜の上に備えた構成図を示す。図10において、第3のストップパ11が、デバイス領域に設けられる。材質及び膜厚等は、第1及び第2ストップパと同様のものを適宜選択することができる。これにより、CMPの研磨量にばらつきがあっても、例えば、素子分離領域が広い場合でも、素子分離領域の酸化膜の膜厚を十分に確保するための指標とすることができる。このように第3のストップパを形成することは、上述の第2乃至第6の実施の形態にも適用することができる。

【0054】また、上記の実施の形態では、2つのストップパによる積層構造を備えるようにしたが、3つ以上の複数のストップパにより積層構造を形成するようにしても良い。また、縦方向に濃度等の勾配をつけて、連続的に酸化又はエッチングの横方向深さをとれるようにすることで、傾斜のついたフィールド端形状にすることによっても、同様の作用・効果がある。

【0055】また、第1、第2、第4乃至第6の実施の形態においても、第3の実施の形態における図5及びその説明に示されるように、第1のストップパに対して等方性エッチングにより選択的にエッチングを行った後に、さらに酸化を行う工程を付加するようにしても良い。

【0056】

【発明の効果】本発明によると、埋め込み素子分離においてCMPを利用した際、素子分離領域端部（フィールド端）の形状を改善することにより、残留ゲート材料を除去しやすくし、ゲート間が導通されることを防止することができる。さらに、フィールド端の形状としては、具体的には、各ステップが浅い2段階のステップ形状又は1段階の浅い形状とすることにより、このような効果を奏することができる。

【0057】また、埋め込み素子分離においてCMPを利用した際、オーバエッチング及びデバイス領域の段差等について加工マージンを広げることができる。

【0058】また、ステップ形状を形成した後に、素子分離領域の半導体基板及びその上のバッファ酸化膜をエッチングすることにより、ステップ形状の幅等が調整しやすく、また、半導体基板内への不純物混入等を防ぐことができる。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係る半導体装置の製造方法についての工程概略図。

【図2】多結晶シリコン等の第1のストップパまで研磨された場合の断面概略図。

【図3】本発明の第2の実施の形態に係る半導体装置の製造方法についての工程概略図。

【図4】本発明の第3の実施の形態に係る半導体装置の製造方法についての工程概略図。

【図5】第3の実施の形態において、さらに酸化を行っ

た場合の工程概略図。

【図6】本発明の第4の実施の形態に係る半導体装置の製造方法についての工程概略図。

【図7】本発明の第5の実施の形態に係る半導体装置の製造方法についての工程概略図。

【図8】本発明の第6の実施の形態に係る半導体装置の製造方法についての工程概略図。

【図9】第1の実施の形態においてライナーを備えた構成図。

【図10】第1の実施の形態において第3のストップパを絶縁膜の上に備えた構成図。

【図11】従来の埋め込み素子分離による半導体装置の製造方法の工程概略図。

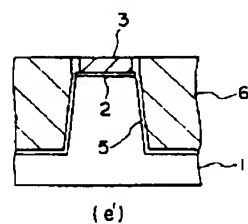
【図12】従来のゲート電極を形成する工程概略図。

【図13】残留ゲート材料によるゲート電極間の短絡についての説明図。

#### 【符号の説明】

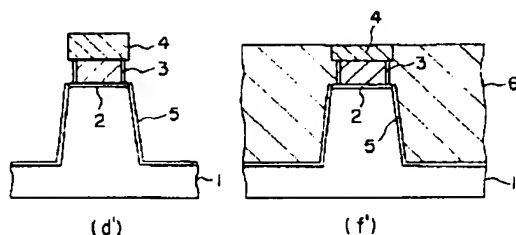
- 1 半導体基板
- 2、5、8、9 酸化膜
- 3 第1のストップパ
- 4 第2のストップパ
- 6 埋め込み絶縁膜
- 7 レジスト
- 10 ライナー
- 11 第3のストップパ

【図2】



(e')

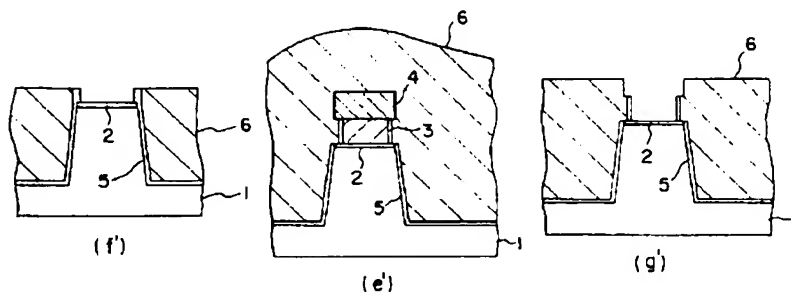
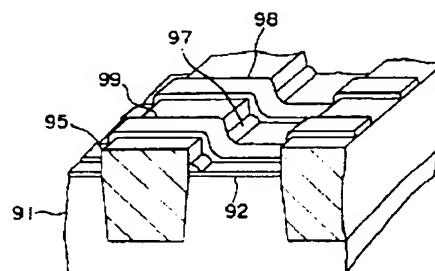
【図5】



(d')

(f')

【図13】

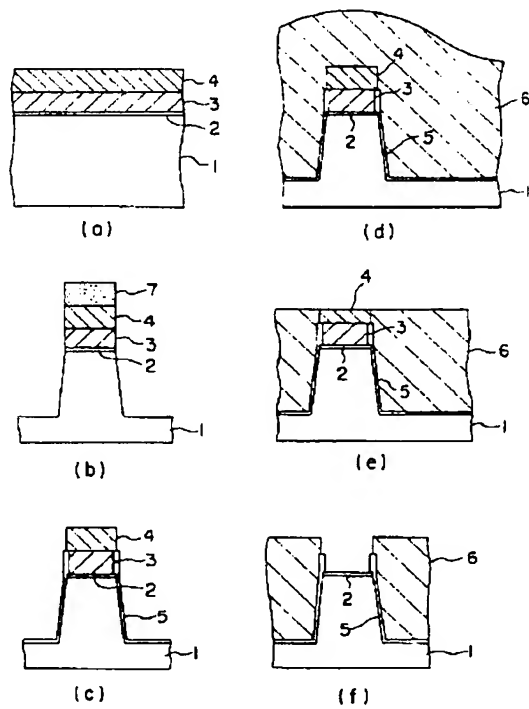


(f')

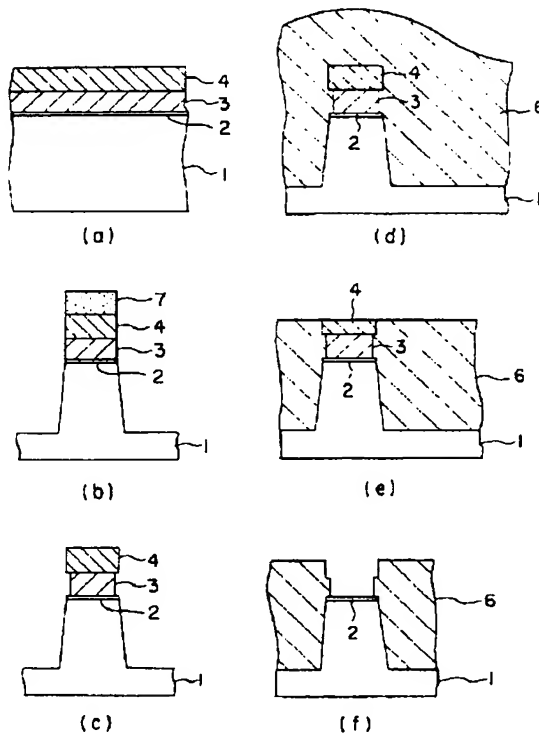
(e')

(g')

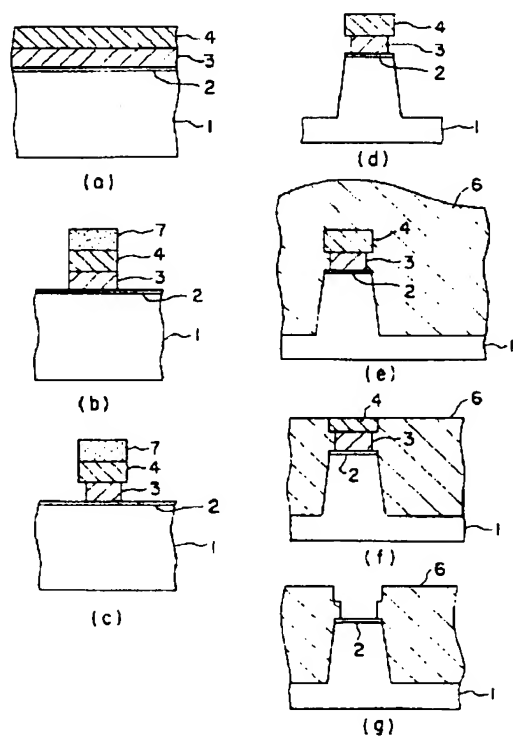
【図1】



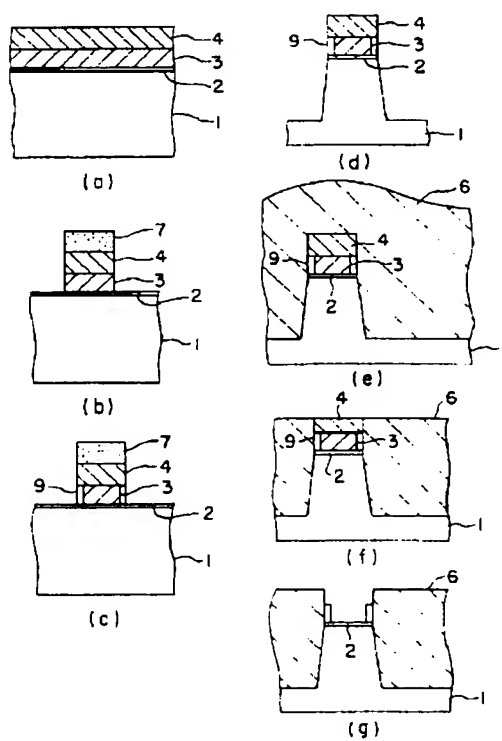
【図3】



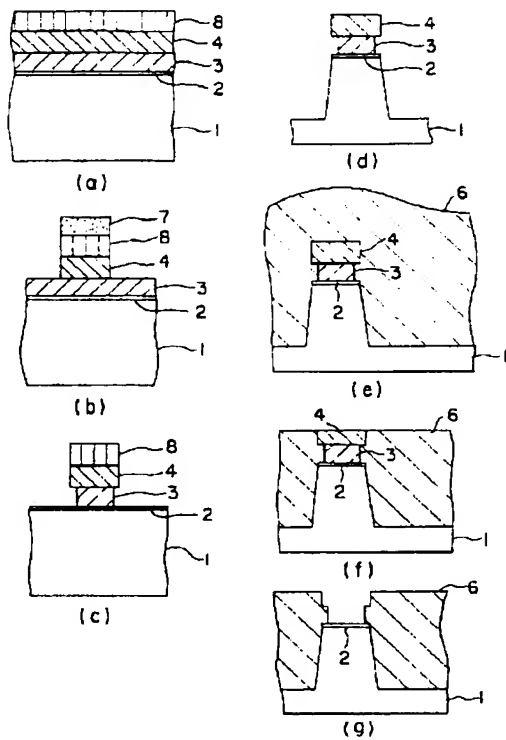
【図4】



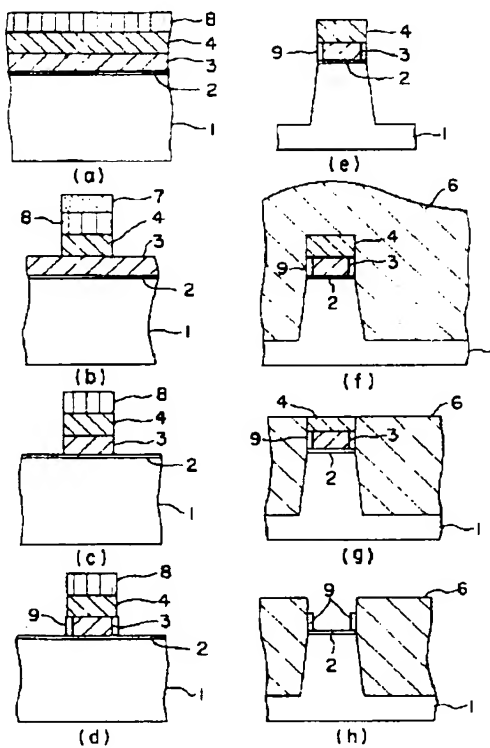
【図6】



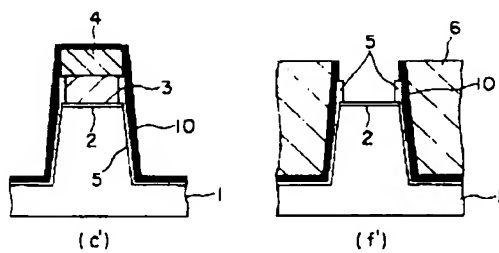
【図7】



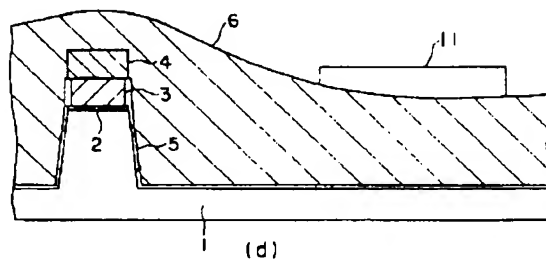
【図8】



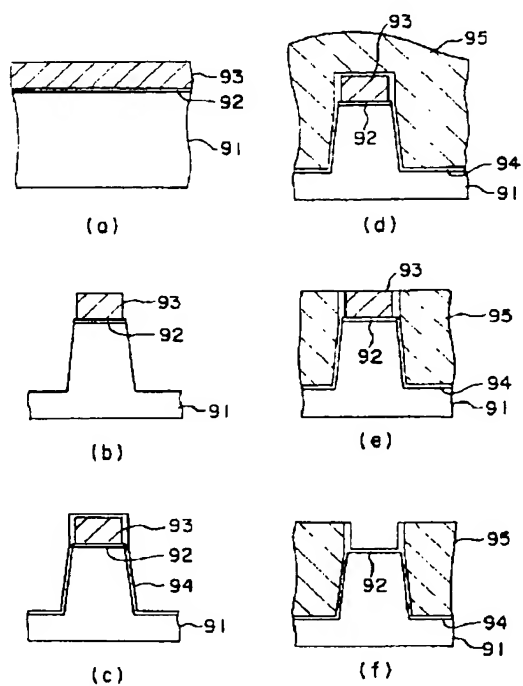
【図9】



【図10】



【図11】



【図12】

